

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021144

(43)Date of publication of application : 28.01.1994

(51)Int.Cl. H01L 21/60

(21)Application number : 04-176396

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.07.1992

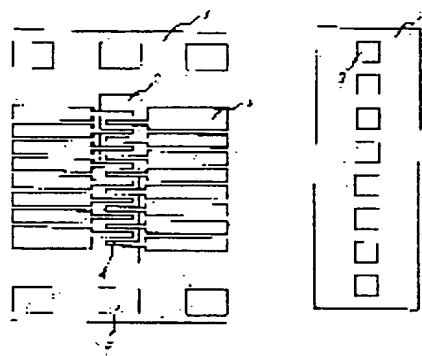
(72)Inventor : TAKANO MICHIOYOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To optimize the wiring layout efficiency on a semiconductor element and reduce the size and cost and increase the density of a semiconductor device by aligning electrodes in a line and protruding the inner lead of a tape carrier from the opposing side of a device hole interdigitally.

CONSTITUTION: An inner lead 4 protruding from a device hole 2 which is provided at a tape carrier 1 protrudes from the opposing sides of the device hole 2 interdigitally. Also, projected electrodes 7 are arranged in a line on a semiconductor element 6 which is placed on the tape carrier 1. Therefore, wiring on the tape carrier 1 can be led around alternately from the electrodes 7 aligned in a line, thus achieving a highly dense packaging. Also, the wiring layout efficiency can be optimized, the semiconductor element can be reduced, and at the same time the number of devices obtained from one wafer on manufacturing of semiconductor can be increased for reducing cost.



LEGAL STATUS

[Date of request for examination] 13.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2964781

[Date of registration] 13.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 1 1 4 4

(43) 公開日 平成 6 年 (1994) 1 月 2 8 日

(51) Int. Cl. ⁵

H01L 21/60

識別記号

庁内整理番号

F I

技術表示箇所

311

R 6918-4M

W 6918-4M

審査請求 未請求 請求項の数 3 (全 5 頁)

(21) 出願番号

特願平 4 - 1 7 6 3 9 6

(22) 出願日

平成 4 年 (1992) 7 月 3 日

(71) 出願人 0 0 0 0 0 2 3 6 9

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 高野 道義

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

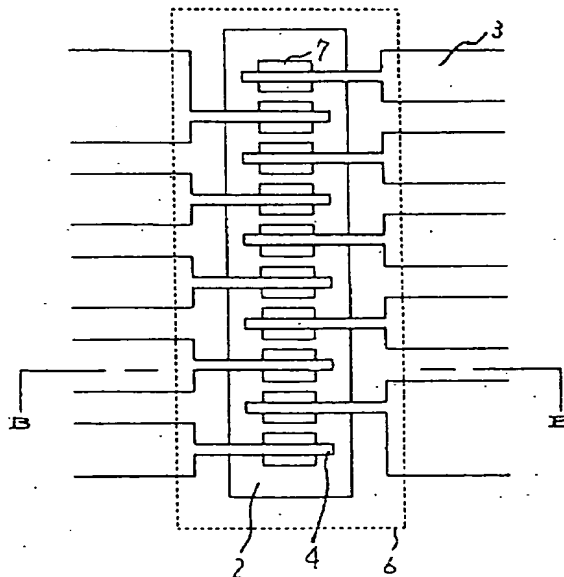
(74) 代理人 弁理士 鈴木 喜三郎 (外 1 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 テープキャリアに半導体素子を配設し、該半導体素子に設けた多数の電極に、前記テープキャリアに設けられたインナーリードの先端を圧熱融着等によりそれぞれ接続し、しかる後に前記半導体素子及びリードの一部を樹脂等で封止した半導体装置において、前記テープキャリアに設けられるインナーリードを、デバイスホルルの対向した辺より突出し、櫛羽状とする。また前記半導体素子の電極を能動面上に、一列に配列する。

【効果】 半導体素子の配線を最適化するため、半導体素子上に電極を一列に配列することにより半導体素子の縮小が可能となる。それと同時に、半導体素子の縮小化により、半導体素子製造時の 1 ウエハ上での取り個数が増加し、コストダウンが可能となる。更にテープキャリアのインナーリードをデバイスホルルの対向する辺より突出させ、櫛羽状とすることにより高密度実装を可能とする。



【特許請求の範囲】

【請求項 1】 テープキャリアに半導体素子を配設し、該半導体素子に設けた多数の電極に、前記テープキャリアに設けられたインナーリードの先端を圧熱融着等によりそれぞれ接続し、しかる後に前記半導体素子及びリードの一部を樹脂等で封止した半導体装置において、前記テープキャリアに設けられるインナーリードは、デバイスホール2の対向した辺より突出し、櫛羽状である事の特徴とする半導体装置。

【請求項 2】 テープキャリアに半導体素子を配設し、該半導体素子に設けた多数の電極に、前記テープキャリアに設けられたインナーリードの先端を圧熱融着等によりそれぞれ接続し、しかる後に前記半導体素子及びリードの一部を樹脂等で封止した半導体装置において、前記半導体素子の電極を能動面上に、一列に配列する事の特徴とする半導体装置。

【請求項 3】 テープキャリアに半導体素子を配設し、該半導体素子に設けた多数の電極に、前記テープキャリアに設けられたインナーリードの先端を圧熱融着等によりそれぞれ接続し、しかる後に前記半導体素子及びリードの一部を樹脂等で封止した半導体装置において、請求項 1 記載のテープキャリアと請求項 2 記載の半導体素子を用いた実装構造を特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、テープキャリアを用いた半導体装置に係わり、特にテープキャリアの構造、半導体素子の構造、及びテープキャリアと半導体素子との実装構造に関するものである。

【 0 0 0 2 】

【従来の技術】 半導体装置は、一般にリードフレームに設けたダイパッドに半導体素子を取り付け、半導体チップの外部電極とリードフレームの端子とをそれぞれワイヤで接続し、これをエポキシ樹脂等の熱硬化樹脂でパッケージした後、各端子を切断し製造している。

【 0 0 0 3 】 しかし最近では電子機器の小型化、薄型化に伴い、これに使用する半導体装置も高密度実装を行う為、リードを微細化した、薄くかつ小型の半導体装置の出現が望まれている。このような要求に答えるべく、テープキャリアのデバイスホールに半導体装置を配設し半導体素子の電極とテープキャリアに設けたリードのインナーリードとを直接接続し、これに液状樹脂（例えば、エポキシ樹脂）からなる封止剤を印刷あるいはポッティング、トランスファしてパッケージした方式の半導体装置が使用されるようになった。

【 0 0 0 4 】 図 5 は、テープキャリアを用いた従来の半導体装置を説明する為の平面図、図 6 は図 5 の A-A 線断面図、図 7 は同半導体装置の製造例を示す説明図である。図において、1 は長さ方向に等間隔に、後述半導体素子 6 の表面積より大きい面積のデバイスホール 2、

2、2、・・・が設けられた厚さ 25 ~ 125 μ m 程度のテープキャリアである。3 はテープキャリア 1 に設けられた銅等の導電率の高い厚さ 25 ~ 35 μ m、幅 30 ~ 500 μ m 程度の金属箔からなる多数のリードで、その一部はデバイスホール 2 内に突出して自由端となっており、インナーリード 4 を形成している。5 はテープキャリア 1 を搬送する為のスプロケット穴である。6 は半導体素子、7 は半導体素子 6 に設けられた金の凸状電極である。図 7 は、上記のようなテープキャリア 1 に半導体素子を取り付ける装置の一例を示す説明図で、半導体素子台 8 上に搭載された半導体素子 6 は、位置決めガイド 9 により所定の位置に位置決めされる。一方、テーブル 10 にガイドされ、スプロケットにより紙面の垂直方向に送られたテープキャリア 1 は、そのデバイスホール 2 が半導体素子 6 上に達した位置で停止し、半導体素子 6 に設けた多数の凸状電極 7 と、各リード 3 のインナーリード 4 の先端とをそれぞれ整合させる。ついで 450 度 ~ 600 度程度に加熱されたボンディングツール 11 を下降させ各リード 3 を加圧し、所定の角度にフォーミングして各インナーリード 4 の先端をそれぞれ半導体素子 6 の各凸状電極 7 に融着させ、接続する。次に、テープキャリア 1 を移動してそれぞれリード 3 を切断し、または、スキージ印刷、ポッティング、トランスファ等により半導体素子 6 及びリード 3 の一部を液状の封止用樹脂で封止した後リード 3 を切断して、半導体装置を製造する。

【 0 0 0 5 】

【発明が解決しようとする課題】 近年では半導体装置の更なる軽薄短小化が要求されており、これを実現するには半導体素子自体の縮小化が必要不可欠である。しかし、現状の技術では、図 6 で示すよう、半導体素子 6 の電極 7 を実装上の制約から、半導体素子の外周（配線の外側）へ配したものがほとんどであり、この電極のレイアウトを行うため、半導体素子の回路設計（配線の引き回し）が限定されてしまい、半導体素子の縮小化が困難である。また、前記半導体素子の外周より大きいデバイスホール 2 を有しているため、図 6 に示す距離 L を無駄にしている。

【 0 0 0 6 】 本発明は上記のような問題点を解決すべくなされたもので、半導体装置の縮小化、高密度化、コストダウンを目的としたものである。

【 0 0 0 7 】

【課題を解決するための手段】 本発明の半導体装置は、半導体素子上の配線レイアウト効率を最適にするため、電極の配列を半導体素子上に一列に並べ、更に前記電極とテープキャリアとを接続するテープキャリアのインナーリードは、デバイスホール2の対向した辺より突出し、櫛羽状とする手段をとる。

【 0 0 0 8 】

【作用】 本発明の上記の構成によれば、半導体素子の配

線を最適化するため、半導体素子上に電極を一行に配列することにより半導体素子の縮小が可能となる。それと同時に、半導体素子の縮小化により、半導体素子製造時の１ウエハー上での取り個数が増加し、コストダウンが可能となる。更にテープキャリアのインナーリードをデバイスホール2の対向する辺より突出させ、櫛羽状とすることにより高密度実装を可能とする作用がある。

【 0 0 0 9 】

【実施例】以下、実施例により本発明の詳細を示す。

【 0 0 1 0 】図 1 は、本発明の一実施例を示すテープキャリアの平面図である。図において 1 はテープキャリア、2 はテープキャリアに設けられたデバイスホール、3 はテープキャリアに設けられたリード、4 は例えば、幅 30 μm のデバイスホール 2 より突出したインナーリードである。この時、デバイスホール 2 より突出するインナーリード 4 はデバイスホール 2 の対向する辺より突出し櫛羽状としている。櫛羽状とすることにより、一行に配列された電極から交互にテープキャリア上の配線を引き回せるため、従来技術のような半導体素子の外周部へ電極を配列した時と比較し図 6 に示す距離 λ が必要無く高密度実装が可能である。

【 0 0 1 1 】図 2 は本発明の一実施例を示す半導体素子の平面図である。図において半導体素子 6 上に設けられる凸状電極 7 は、例えば Au、Cu、はんだ等から形成され、半導体素子 6 上に一行に配列されている。また、半導体素子 6 上には凸状電極を持たない A 1 からなる電極でも、テープキャリアのインナーリード部に例えばハーフエッチング技術により凸状電極を形成し半導体素子 6 上の凸状電極の代わりとすることも可能である。このように、半導体素子 6 上の配線レイアウト効率を最適にし、電極の配列を半導体素子 6 上に一行に並べたことにより半導体素子の縮小化が可能となり、それと同時に半導体製造時の１ウエハー上での取り個数が増加し、コストダウンも可能となった。

【 0 0 1 2 】図 3 は本発明の一実施例を示すテープキャリアと半導体素子の実装構造の平面図、図 4 は B - B を断面とする図 3 の断面図である。上記のように構成された半導体装置では、インナーリード 4 に例えば Sn メッキ層を設け、半導体素子 6 に設けた多数の例えば Au メッキで形成されている凸状電極 7 と、各リード 3 のインナーリード 4 の先端とをそれぞれ整合させ、ついで、加熱されたボンディングツールを下降させて各リード 3 を加圧し、各インナーリード 4 の先端をそれぞれ半導体素子 6 の各凸状電極 7 に融着させて接続した場合に、該半導体素子 6 よりもテープキャリア 1 のデバイスホール 2 が小さいため、デバイスホールより突出するインナーリード 4 は従来の長さ 500 ~ 1000 μm に比較し凸状電極 7 の長さ分 + フォーミング量 + α の約 100 ~ 200 μm 程

度に抑える事が出来る。これによりデバイスホールより突出するインナーリード 4 の長さを従来技術と比較した場合 400 ~ 800 μm も短くすることができ、高密度実装に寄与する。

【 0 0 1 3 】又、テープキャリア 1 の材料に例えば、厚さ 50 μm のポリイミド、半導体素子 6 上に設けられた金の凸状電極 7 の高さを 30 μm とした場合、デバイスホール 2 は該半導体素子 6 の外形よりも小さく形成しているため半導体素子 6 に乗り上げる形となり、フォーミング量は、テープキャリアの厚み = 50 μm 程度に抑える事ができる。また、半導体素子 6 上に設けられた凸状電極 7 の端からテープキャリア 1 のデバイスホールエッジまでの距離は数十 μm なため、逆フォーミングによるエッジショートが発生を完全に防ぐ事が出来る。これにより、従来の搬送時におけるフォーミング量のばらつきを考慮して 100 ~ 200 μm のフォーミングを行っていた時と比べ 50 ~ 150 μm の軽薄化が計れる。

【 0 0 1 4 】

【発明の効果】本発明は以上説明したように、半導体素子 6 上の配線レイアウト効率を最適化し、電極を一行に配列し、テープキャリアのインナーリードは、デバイスホール2の対向した辺より突出し、櫛羽状とする事により半導体装置の軽薄短小化、コストダウン化、を提供できる効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例を示すテープキャリア平面図。

【図 2】本発明の一実施例を示す半導体素子の平面図。

【図 3】本発明の一実施例を示すテープキャリアと半導体素子との実装構造の平面図。

【図 4】図 3 の B - B 線断面図。

【図 5】テープキャリアを用いた従来の半導体装置を説明するための平面図。

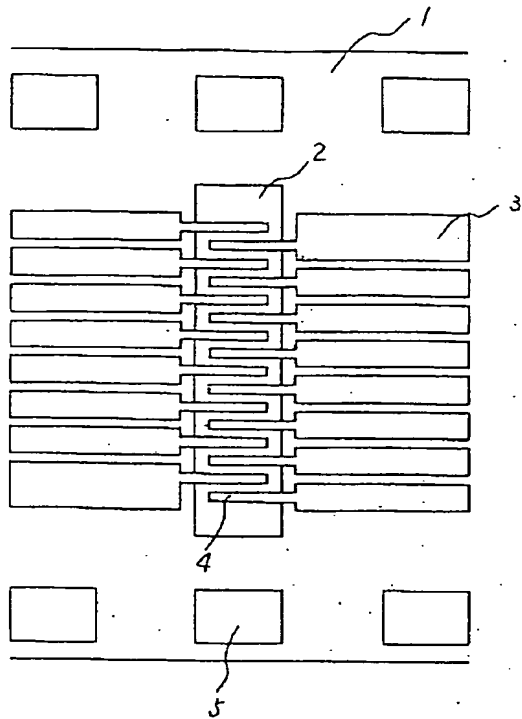
【図 6】図 5 の A - A 線断面図。

【図 7】同半導体装置の製造例を示す断面図。

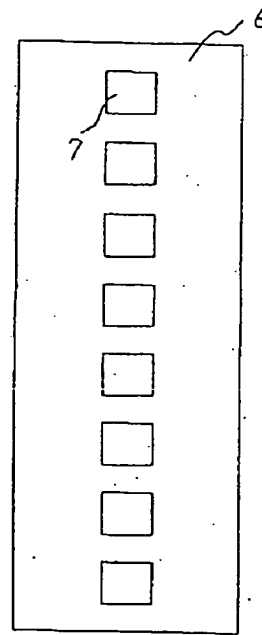
【符号の説明】

- 1 テープキャリア
- 2 デバイスホール
- 3 リード
- 4 インナーリード
- 5 スプロケットホール
- 6 半導体素子
- 7 凸状電極
- 8 半導体素子台
- 9 位置決めガイド
- 10 テープレール
- 11 ボンディングツール

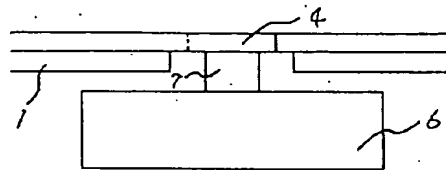
【図 1】



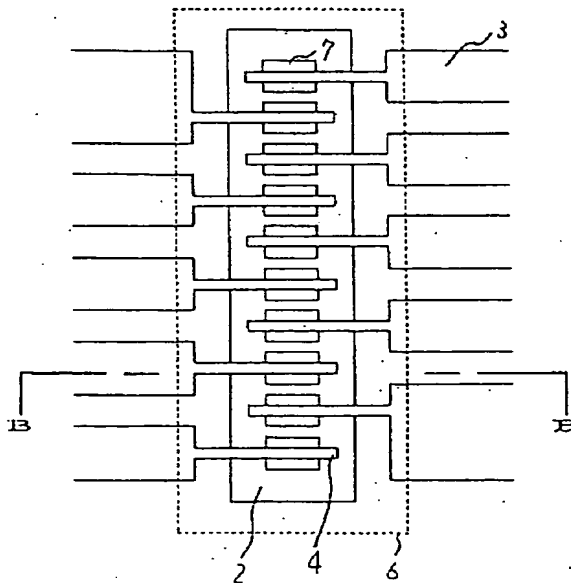
【図 2】



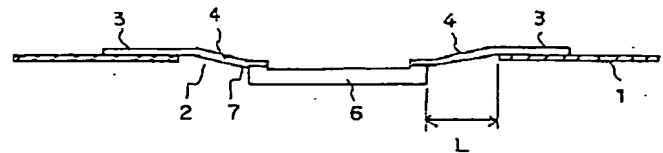
【図 4】



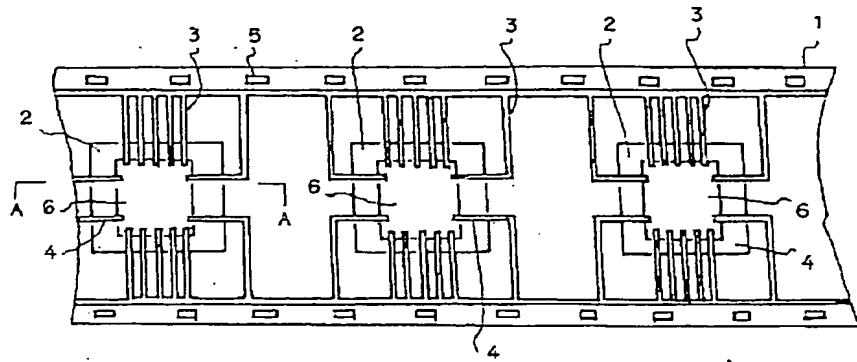
【図 3】



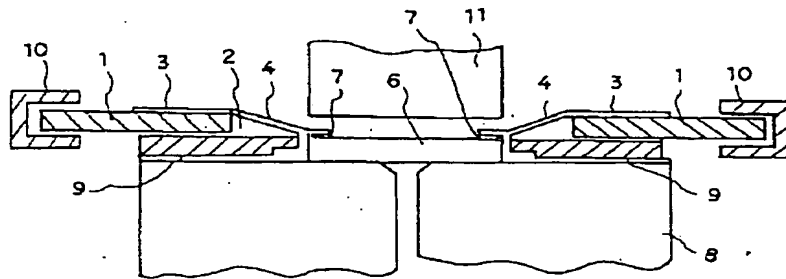
【図 6】



【図 5】



【図 7】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成11年(1999)7月2日

【公開番号】特開平6-21144
【公開日】平成6年(1994)1月28日
【年通号数】公開特許公報6-212
【出願番号】特願平4-176396
【国際特許分類第6版】
H01L 21/60 311

【F1】
H01L 21/60 311 R
311 W

【手続補正書】
【提出日】平成10年4月13日
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正内容】
【特許請求の範囲】

【請求項1】電極が1列に配列された半導体素子と、開口部を有するテープキャリアと、前記テープキャリア上から前記開口部に延設されるとともに該開口部に終端部を有し該開口部内で前記電極に接続されるリードと、を有し、前記リードは、前記開口部の第1の辺及び前記第1の辺に対向した第2の辺から櫛羽状になるように交互に突出形成されてなることを特徴とする半導体装置。

【請求項2】前記電極は半導体素子の中央領域に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記リードにおける前記開口部に位置するリード幅は、前記テープキャリア上に位置するリード幅に比して狭く形成されてなることを特徴とする請求項1または2のいずれかに記載の半導体装置。

【請求項4】前記電極の幅は、前記開口部に位置する前記リード幅に比して広く形成されてなることを特徴とする請求項3記載の半導体装置。

【請求項5】前記開口部における前記リードの突出方向と同じ方向に相当する辺は、前記半導体素子の外周辺における前記突出方向と同じ方向の辺よりも短く形成されてなることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】0007
【補正方法】変更

【補正内容】
【0007】

【課題を解決するための手段】本発明に係る半導体装置は、電極が1列に配列された半導体素子と、開口部を有するテープキャリアと、前記テープキャリア上から前記開口部に延設されるとともに該開口部に終端部を有し該開口部内で前記電極に接続されるリードと、を有し、前記リードは、前記開口部の第1の辺及び前記第1の辺に対向した第2の辺から櫛羽状になるように交互に突出形成されてなることを特徴とする。また、上記の構成において、前記電極は半導体素子の中央領域に配置されている。また、上記の構成において、前記リードにおける前記開口部に位置するリード幅は、前記テープキャリア上に位置するリード幅に比して狭く形成されてなることを特徴とする。更に、上記の構成において、前記電極の幅は、前記開口部に位置する前記リード幅に比して広く形成されてなることを特徴とする。また、上記のいずれかの構成において、前記開口部における前記リードの突出方向と同じ方向に相当する辺は、前記半導体素子の外周辺における前記突出方向と同じ方向の辺よりも短く形成されてなることを特徴とする。

【手続補正3】
【補正対象書類名】明細書
【補正対象項目名】0010
【補正方法】変更
【補正内容】

【0010】図1は、本発明の一実施例を示すテープキャリアの平面図である。図において1はテープキャリア、2はテープキャリアに設けられた開口部であり、デバイスホールともいう。3はテープキャリア上からデバイスホール内に延設されるとともに、そのデバイスホール内に終端部を有するリードである。4はリードのうちのインナーリードであり、デバイスホール内に突出した部位を指す。このインナーリードは、例えば幅30μ

m程度をなす。この時、デバイスホール2より突出するインナーリード4は、デバイスホール2の対向する辺（それぞれを第1の辺及び第2の辺という）より、櫛羽状になるように交互に突出形成されている。櫛羽状とすることにより、一列に配列された電極から交互にテープキャリア上の配線を引き回せるため、従来技術のような半導体素子の外周部へ電極を配置した時と比較し図6に示す距離しが必要なく高密度実装が可能である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】図3は本発明の一実施例を示すテープキャリアと半導体素子の実装構造の平面図、図4は図3のB-Bにおける断面図である。半導体素子6は凸状電極7が中央領域に1列に配列されている。テープキャリアにはデバイスホールが形成されている。また、テープキャリア上からデバイスホール内に延設されて、しかもデバイスホール内に終端部が位置するリード3を有する。このリード3のうち、デバイスホール内に位置する部位をインナーリード4という。このインナーリード4が凸状電極7に接続される。リードは、デバイスホールの第1の辺と第1の辺に対向した第2の辺とから櫛羽状になるように交互に突出形成されている。また、デバイスホール内に位置するリード幅は、テープキャリア上に位置するリード幅に比して狭く形成されている。このようにす

ることで、半導体素子6の凸状電極7との接続領域は狭ピッチに対応できるとともに、テープキャリア上でリードはある程度幅広に形成することができるので、リードのフィルムキャリア上での占有面積が増え、フィルムキャリアの強度を得ることが出来る。更に、凸状電極7の幅は、インナーリード幅に比して広く形成されているので、両者の位置決めが容易に出来るとともに、接続が確実にされたかどうか確認することも可能となる。インナーリード4に例えばSnメッキ層を設け、半導体素子6に設けた多数の例えばAuメッキで形成されている凸状電極7と、各リード3のインナーリード4の先端とをそれぞれ整合させ、ついで、加熱されたボンディングツールを下降させて各リードを加圧し、各インナーリード4の先端をそれぞれ半導体素子6の各凸状電極7に融着させて接続した場合に、半導体素子6よりもテープキャリア1のデバイスホール2が小さい。特に、デバイスホール2におけるリード3の突出方向と同じ方向に相当する辺は、半導体素子6の外周辺における突出方向と同じ方向の辺よりも短く形成されているので、デバイスホールより突出するインナーリード4は従来の長さ500 μ m～1000 μ mに比較し凸状電極7の長さ分+フォーミング量+ α の約100 μ m～200 μ m程度に抑える事が出来る。これによりデバイスホールより突出するインナーリード4の長さを従来技術と比較した場合400 μ m～800 μ mも短くすることができ、高密度実装に寄与する。